

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-65442

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 B 5/08			H 0 3 B 5/08	Z
H 0 1 L 23/50			H 0 1 L 23/50	X

審査請求 未請求 請求項の数10 O L (全 10 頁)

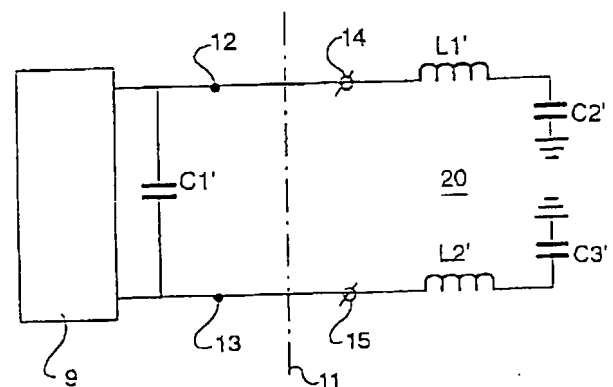
(21) 出願番号	特願平9-8329	(71) 出願人	590003353 テレフォンアクチーボラゲツト エル エム エリクソン スウェーデン国ストックホルム、ミドソン マル克蘭セン、テレフォンブラン エル エム エリクソンズ ベーグ 4-8
(22) 出願日	平成9年(1997) 1月21日	(72) 発明者	マルセル ヴィルヘルム ルドルフ マル チン パン ロースマレン オランダ国ヘンゲロ、ヘンリー ウッドス トラート 4
(31) 優先権主張番号	9 6 2 0 0 1 5 2 5	(74) 代理人	弁理士 浅村 皓 (外3名)
(32) 優先日	1996年1月22日		
(33) 優先権主張国	オーストリア (A T)		

(54) 【発明の名称】 平衡半導体集積装置

(57) 【要約】

【課題】 高周波発振器において、設計周波数のみの共振動作を保証する。

【解決手段】 平衡周波数応答回路9は、それぞれ第1および第2のオフチップコンタクト端子14、15へつながる第1および第2のオンチップコンタクト端子12、13を有する、半導体チップ中に形成された回路部品と、前記コンタクト端子12-15へつながる平衡並列共振器回路20を含む。共振器回路20はコンデンサ部分C1'、C2'、C3'とインダクタンス部分L1'、L2'を含む。コンデンサ部分の一部分C1'は前記第1および第2のオンチップコンタクト端子間にオンチップ接続され、コンデンサ部分の他の部分C2'、C3'およびインダクタンス部分L1'、L2'は前記第1および第2のオフチップコンタクト端子間にオフチップ直列接続され、それによってコンタクト端子12-15が単一の共振ループ中に含まれ、本質的にスプリアスの共振信号を生成しないようになる。



## 【特許請求の範囲】

【請求項1】 半導体チップ中に形成され、第1および第2のオフチップコンタクト端子へそれぞれつながる第1および第2のオンチップコンタクト端子を有する回路部品と、前記コンタクト端子へつながれた平衡共振器回路とを含む平衡周波数応答回路であって、前記共振器回路がコンデンサ部分とインダクタンス部分とを含み、前記コンデンサ部分の一部が前記第1および第2のオンチップコンタクト端子間にオンチップ接続され、前記コンデンサ部分の他の部分と前記インダクタンス部分とが前記第1および第2のオフチップコンタクト端子間にオフチップ直列接続されることによって、前記オンチップ接続およびオフチップ接続された共振器部分が前記コンタクト端子を単一の共振ループ中に含むように平衡並列共振器回路を形成することを特徴とする平衡周波数応答回路。

【請求項2】 請求項第1項記載の周波数応答回路であって、前記オフチップ接続されたコンデンサ部分および前記インダクタンス部分の第1の部分と前記第1のオフチップコンタクト端子と回路の信号アースとの間に直列接続されており、更に、前記オフチップ接続されたコンデンサ部分の第2の部分と前記インダクタンス部分の第2の部分とが前記第2のオフチップコンタクト端子と回路の信号アースとの間に直列接続されている周波数応答回路。

【請求項3】 請求項第1項または第2項記載の周波数応答回路であって、前記オフチップ接続された部分が可変のコンデンサおよび／またはインダクタンス部分を含んでいる周波数応答回路。

【請求項4】 請求項第1項、第2項、または第3項記載の周波数応答回路であって、前記オンチップ接続されたコンデンサ部分が、前記半導体チップと一緒に集積されて形成されたコンデンサを含んでいる周波数応答回路。

【請求項5】 請求項第1項、第2項、第3項、または第4項記載の周波数応答回路であって、前記集積回路部品が平衡共振器回路を含むように配置されている周波数応答回路。

【請求項6】 半導体チップ中に形成された回路部品を含む半導体集積装置であって、前記回路部品が、コンデンサ部分とインダクタンス部分とを含む平衡共振器回路を接続するための、第1および第2のオフチップコンタクト端子へそれぞれつながる第1および第2のオンチップコンタクト端子を有する周波数応答回路の少なくとも一部分を構成しており、前記共振器回路の前記コンデンサ部分の一部が前記第1および第2のオンチップコンタクト端子間にオンチップ接続され、それにより、前記コンデンサ部分の他の部分および前記インダクタンス部分の前記第1および第2のオフチップコンタクト端子間のオフチップ直列接続によって、単一の共振ループ中に前記コンタクト端子を含む平衡並列共振器回路が形成されることを特徴とする半導体集積装置。

【請求項7】 請求項第6項記載の半導体集積装置であって、前記オンチップ接続されたコンデンサ部分が、前記半導体チップとともに集積されて形成されたコンデンサを含んでいる半導体集積装置。

【請求項8】 請求項第6項または第7項記載の半導体集積装置であって、前記集積回路部品が平衡共振器回路を含むように配置された半導体集積装置。

【請求項9】 請求項第8項記載の半導体集積装置であって、前記共振器回路が同じ伝導形の第1および第2のバイポーラートランジスタを含み、それらのバイポーラートランジスタが、集積化された電流源回路へ直列抵抗を介してつながるエミッター端子、容量性交差接続されたコレクター、およびベース端子を有し、ここにおいて、前記コレクター端子がそれぞれ前記第1および第2のオンチップコンタクト端子へつながっている半導体集積装置。

【請求項10】 請求項8または請求項9記載の半導体集積装置であって、前記集積回路部品が、前記共振器回路へつながれたミキサ回路を有するトランシーバ回路を構成するように配置されており、前記共振器回路が前記ミキサ回路に対する局部共振回路を構成している半導体集積装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は一般的に半導体集積装置に関するものであって、更に詳細には、オフチップ(off-chip)の並列共振器回路と一緒に動作するように配置された、平衡共振器回路のようなオンチップ(on-chip)の平衡周波数応答回路を構成する回路部品を含む半導体集積装置に関する。本周波数応答回路はRFトランシーバ、変調器、あるいはミキサ回路のようなより大きな集積回路の一部を構成するもので構わない。

## 【0002】

【従来の技術】本発明に従うタイプの集積周波数応答回路は、回路中に共振を導入するために、外部またはオフチップの平衡共振器回路を使用するのが一般的である。よく知られた例は平衡共振器回路によって形成されるものであって、その能動的部分がオンチップの半導体集積回路として提供され、他方、そのチップパッケージの1本または複数本のコンタクト端子を通して能動部分へオフチップの受動的共振器部分をつなぐことによって共振器回路が完成するようになったものである。

## 【0003】

【発明の解決しようとする課題】例えば最近の無線電気通信システムは、超高周波(SHF)帯、あるいは低マイクロ波帯、すなわち10GHzまであるいはそれ以上の周波数で動作するように設計される。コンタクト端子

またはコンタクトピン、ボンディングパッド、およびボンディングワイヤを備えたリードフレーム上にマウントされ、カプセル化された汎用の集積回路(IC)は、このような高い周波数において、コンタクト端子、ボンディングパッド、ボンディングワイヤ、およびリードフレームの固有容量およびインダクタンスを有する。

【0004】このような高い周波数では、上述のようにオフチップの共振器回路をオンチップの周波数応答回路へ結合させる時、固有容量およびインダクタンスが全体としての回路の周波数応答に重要な影響を及ぼすことを当業者は理解されよう。平衡並列共振器回路の場合、その結果は回路の共振周波数がずれてしまい、インピーダンスが変化してしまうだけでなく、望ましくない偽の共振周波数が生ずることが起こる。従って、例えば平衡オフチップ並列共振器回路によって提供される共振を利用した発振器回路は、各種の偽の共振周波数において望ましくない出力信号を生成することになる。

【0005】RF用として平衡周波数応答回路が一般に好まれるのは、比較的高い共通モード排除比率、信号アースへの制御されないリターン経路を通して実質的に望ましくないRF放射がないこと、およびアースのバウンス、すなわち、回路全体のアース電位が持ち上がることがないことのためである。

【0006】本発明の1つの目的は、例えば半導体チップ中により大きな集積回路の一部として形成された回路部品を含み、平衡並列共振器回路と一緒に動作して、チップパッケージに含まれる固有容量およびインダクタンスによってもたらされるスプリアスの共振周波数を出来得る限り回避するようになった平衡周波数応答回路を提供することである。

【0007】本発明の更に別の1つの目的は、オフチップの平衡並列共振器部分と一緒に動作するようになった平衡周波数応答回路の少なくとも一部を構成する回路部品を含む半導体集積回路を提供して、半導体回路のパッケージに付随する固有容量およびインダクタンスによってもたらされるスプリアスの共振周波数を出来得る限り低く抑えた周波数応答回路を形成することである。

【0008】本発明の特別な目的の1つは、平衡発振器回路を含む周波数応答回路を提供することである。

【0009】

【課題を解決するための手段】本発明に従えば、第1および第2のオフチップのコンタクト端子へそれぞれつながる第1と第2のオンチップコンタクト端子を有する、半導体チップ中に形成された回路部品を含む平衡周波数応答回路が提供される。前記コンタクト端子には平衡並列共振器回路がつながれ、それはコンデンサ部分とインダクタンス部分とを含む。本発明に従って、共振器回路のコンデンサ部分の一部は前記第1および第2のオンチップ端子間にオンチップ接続され、他方、コンデンサ部分の他の一部とインダクタンス部分とは前記第1

および第2のオフチップ端子間にオフチップ直列接続される。コンデンサ部分のオンチップ接続された部分を備えることによって、1つの共振ループ中にコンタクト端子を含んだ並列共振器回路が形成される。

【0010】本発明に従って、並列共振器回路のコンデンサ部分の一部をチップのオンチップコンタクト端子間に配置することによって、固有パッケージ容量はオンチップ共振器部分と電気的に一体化され、他方、固有インダクタンスは共振器回路のコンデンサ部分のオフチップ直列接続された部分およびインダクタンス部分と一体化されて、1本の共振ループを形成する。従って、この周波数応答回路は本質的に単一の共振周波数を禁止する。

【0011】本発明は、パッケージ、すなわちその固有容量およびインダクタンスを共振器回路の集積化された一部として一体化することにより、パッケージの電気的パラメータが回路全体の周波数応答特性に及ぼす影響を本質的に最小化することができるという洞察に基づいている。

【0012】本発明の1つの好適実施例では、オフチップ接続されたコンデンサ部分の第1の部分とインダクタンス部分の第1の部分とが、第1のオフチップコンタクト端子と回路の信号アースとの間に直列接続される。オフチップ接続されたコンデンサ部分の第2の部分とインダクタンス部分の第2の部分とが、第2のオフチップコンタクト端子と回路の信号アースとの間に直列接続される。これら直列接続は電気的に対称的な構成をなす。

【0013】この実施例に関して、可変型の、オフチップ接続されたコンデンサ部分を用いることで、この共振器回路の共振周波数、従ってそのインピーダンスを周波数応答回路のオンチップ部分のインピーダンスと合致するように正確に調節することが可能になる。

【0014】共振器回路のオンチップ接続されたコンデンサ部分は、半導体基板上にマウントされた個別コンデンサによって構成することもできる。しかし、装置を最小化することが標準的な要求であるので、本発明の別の実施例に従えば、オンチップ接続された共振器部分は、半導体基板とともに一体として形成されたコンデンサを含むことができる。そのような集積化された容量を作製することは半導体デバイス業界ではよく知られている。

【0015】オフチップの共振器部分が、半導体集積された容量およびインダクタンス以外に、個別の従来型受動的コンデンサおよびコイルを含むこともでき、前者の場合は、半導体デバイス製造技術分野で既知のように、半導体チップ内に電子的に構成したり、物理的に形成されることを当業者は理解されよう。

【0016】本発明は更に、半導体チップ中に形成された回路部品を含む半導体集積装置にも関する。それら回

路部品は、第1と第2のオフチップコンタクト端子へそれぞれつながれた第1および第2のオンチップコンタクト端子を有する周波数応答回路の少なくとも一部分を含むように配置される。この半導体装置を周波数応答回路として使用するためには、コンデンサ部分とインダクタンス部分とを含む平衡並列共振器回路をコンタクト端子へつなぐ必要がある。しかし、本発明に従って、共振器回路のコンデンサ部分は既に半導体装置の第1および第2のオンチップコンタクト端子間にオンチップ接続されている。

【0017】本発明の特別な1つの実施例では、回路部品はいわゆる平衡共振器回路を提供するように配置される。

【0018】本発明に従う周波数応答回路は、よく知られたヘテロダイン原理に従って、局部共振器(LO)として構成された周波数応答回路へつながれた、ミキサまたは変調器回路を有するトランシーバ回路のような、より大きな集積回路の一部として構成することができる。マグローヒル(McGraw-Hill)から出版された、カールソン(A. Bruce Carlson)著の本、“通信システム(Communication Systems)”の第2版、第5章を参照。

【0019】本発明の上述およびその他の特徴と利点については、以下の、図面を参照した詳細な説明で例示する。

【0020】

【発明の実施の形態】それに限定するわけではないが、ここで例示実施例を参照しながら本発明について説明することにする。図面において、同様な回路要素および構造には同じ参照符号を用いている。

【0021】図1は典型的な従来技術の大規模集積回路装置1を示しており、それは半導体集積回路基板またはチップ3をカプセル化している樹脂製のパッケージ2を有し、更に、サーフェスマウント用のコンタクトストリップ、または、例えばプリント基板(PCB)上でのスルーホール接続用のコンタクトピンの形をした複数のコンタクト端子4を有している。図示の便宜上、パッケージ2は部分的に剥離して示してある。

【0022】チップ3は、他にもあるなかでとりわけ周波数応答回路5を含んでおり、それが破線で示されている。複数の電氣的に伝導性のトラック6が、この回路5を、チップ3の周辺に位置するコンタクトまたはボンディングパッド7へつないでいる。オフチップ回路とオンチップ回路との間で信号および電力をつなぐために、図示のように、オンチップのコンタクト端子またはボンディングパッド7がボンディングワイヤ8によってオフチップのコンタクト端子4へつながれている。

【0023】図2は、集積化またはオンチップ平衡周波数応答回路9と、外部またはオフチップの平衡共振器回路10との典型的な回路接続図を示している。一点鎖線

11はオンチップ回路とオフチップ回路との間のインターフェースを示している。ブロックで模式的に示された周波数応答回路9は、動作するために付加的な共振器回路を必要とする任意の複数の平衡電気回路を含むことができ、それらには平衡RF発振器、平衡周波数変換器、平衡RFミキサ回路、平衡フィルタ回路等が含まれ得るがそれらに限定されるわけではない。

【0024】本発明の文脈のなかで、“平衡”という用語は、システムまたは回路網の信号アースに関して或る等しいまたは対称的な、例えばインピーダンスや信号強度のような電氣的特性を有する2つの信号コンタクト端子を有するシステムまたは回路網を含むものと解釈されるべきである。

【0025】周波数応答回路9のオンチップ部分は第1および第2のオンチップ信号コンタクト端子12および13を含み、それらはそれぞれ第1および第2のオフチップコンタクト端子14、15へつながっている。図1を参照すれば、オンチップコンタクト端子としてボンディングパッド7を含めることができ、またオフチップコンタクト端子としてはコンタクト端子4を含めることができる。

【0026】共振器回路10は、オフチップコンタクト端子14と15との間につながれたコンデンサC1と、コンデンサC2およびC3とを有している。コンデンサC2およびC3はそれぞれ一端をオフチップコンタクト端子14および15の一方へつなぐられ、他端を共振器回路のインダクタンス部分へつながれている。このインダクタンス部分はインダクタンスL1とL2が直列接続されたものを含んでおり、それらはコンデンサC2およびC3と直列接続されている。L1とL2の直列接続の midpoint は、図示のように回路の信号アース16へつながれている。この図で、信号アース16は短い太線の平行なラインで示されている。コンデンサとインダクタンス部分とは平衡並列共振器回路10を構成する。

【0027】例えば、平衡共振器回路9の場合、その共振周波数において動作している時、この共振器またはタンク回路10のインピーダンス中心は信号アース電位にあって、各コンタクト端子14、15とその中心との間の信号出力電圧は大きさが等しく位相が反対である。

【0028】本明細書の冒頭で述べたように、カプセル化された集積回路の問題は、特にRF応用において、チップのパッケージ化またはカプセル化に付随する固有の容量およびインダクタンスと、オンチップおよびオフチップの両コンタクト端子を通しての内部回路と外部回路とのカップリングとによって発生する。

【0029】図3は、図2に示された回路の簡略化された集中素子等価電気回路図である。オンチップコンタクト端子と信号アースとの間をつなぐコンデンサCpはそれぞれオンチップボンディングパッド7(図1)によって形成される寄生容量を表している。インダクタンスL

wは、ボンディングワイヤ8(図1)の寄生自己インダクタンスを表しており、他方、インダクタンスLtはパッケージのリードフレームおよびコンタクト端子(図1)の寄生自己インダクタンスを表す。インダクタンスLwおよびLtは、図示のように、周波数応答回路9のオンチップ部分とオフチップ接続された共振器回路10との間に直列接続されることになる。

【0030】ボンディングパッド、ボンディングワイヤ、およびコンタクト端子に付随する任意のオーミックな抵抗は、PCB上のICマウントに付随する寄生容量およびインダクタンスと同じく本発明の理解にとって重要でないから、集中素子等価回路図中には明示的に示していない。

【0031】オンチップの周波数応答回路9から見ると、図4に例示的に示されたように、3本の異なる共振ループ17、18、および19が識別できる。共振ループ17は共振器回路10、すなわちコンデンサC1、C2およびC3と、インダクタンスL1およびL2とによって形成される。共振ループ18はコンデンサCpおよびC1と、インダクタンスLwおよびLtとを含む。共振ループ19はコンデンサCp、C2、およびC3と、インダクタンスLw、Lt、L1、およびL2とを含む。共振ループ17がこの回路の好ましい周波数応答を表しており、他方、ループ18および19は固有のパッケージ容量およびインダクタンスによって形成されていることが理解されよう。ループ18および19によって導入される共振は、一般にRF応用において、偽の共振周波数におけるスプリアスの出力信号を生成することになる。従って、発振器回路として設計された周波数応答回路9を起動するとき、その共振器が動作するように設計された周波数で動作することが保証されない。

【0032】

【実施例】図5は本発明の好適実施例の典型的な回路接続図を示しており、それは集積化またはオンチップの平衡周波数応答回路9と、コンデンサ部分C1'、C2'、およびC3'と、インダクタンス部分L1'およびL2'とを含む平衡共振器回路20とを含んでいる。一点鎖線11はここでも、オンチップ回路とオフチップ回路との間のインターフェースを表している。

【0033】図2に示された従来技術の場合と異なり、共振器回路のコンデンサ部分のC1'部分はオンチップコンタクト端子12と13との間にオンチップ接続されており、他方、共振器回路のコンデンサ部分の残りのC2'およびC3'部分とインダクタンス部分L1'およびL2'はそれぞれ第1および第2のオフチップコンタクト端子14、15と、信号アースとの間に直列接続されている。インダクタンスL1'およびL2'と、容量C2'およびC3'とはオンチップ容量のC1'と一緒に平衡並列共振器回路20を構成している。

【0034】図6は、図5に示されたような、本発明に

従う回路の共振ループを示している。固有容量Cpは電氣的直列接続を形成し、それは共振器回路20のオンチップコンデンサ部分C1'に対して電氣的に並列に接続される。オームの法則に従い、等しい集中素子等価容量Cpを仮定すれば、オンチップ容量の合計を、C1'とCpの容量値の和に等しい単一の集中素子容量値によって電氣的に置換することができる。固有インダクタンスLwおよびLtは、共振器回路20のオフチップ部分、すなわち、インダクタンスL1'およびL2'と、コンデンサC2'およびC3'とに対して直列に接続される。オームの法則に従えば、集中素子等価インダクタンスLwおよびLtとインダクタンスL1'およびL2'とは、Lw、Lt、およびL1'の値とそれぞれLw、Lt、およびL2'の和に等しいインダクタンス値を有する単一のインダクタンスによって置換することができる。

【0035】図6に示されたように、本発明に従う実施例では、単一の共振ループ21のみが識別できる。従って、図4に示された従来技術の回路と比較して、周波数応答回路9は、本発明の目的に従って、スプリアスの共振周波数における望ましくない出力信号を発生させることなく、本質的に単一の共振周波数で動作する。

【0036】説明の便宜上、1つの好適実施例では、本発明はC1' = 1 pF、C2' = C3' = 4.7 pFの容量値、L1' = L2' = 3 nHのインダクタンス値で動作するとしている。約2 GHzの共振周波数において、Cpの値は約0.2 pFに等しく、Lwの値は約1 nHで、Ltは約1.5 nHに等しい。設計のためには、回路全体として所定のあるいは好ましい周波数応答を達成するために、オフチップ共振器回路20の部品値を計算する時に、関連する固有の容量およびインダクタンスを考慮に入れる必要があることを当業者は理解されよう。

【0037】図7aは、図4に示された従来技術の集中素子等価共振器回路のインピーダンスZの大きさを周波数の関数として模擬したグラフであり、他方、図7bは図6に示された本発明に従う集中素子等価共振器回路のインピーダンスZの大きさ、即ち|Z|を周波数fの関数として示した、模擬し測定で確認されたグラフである。この回路のインピーダンスZというのはオンチップコンタクト端子における値を意味し、回路要素の値は本質的に上で示したものとなっている。周波数fは1ないし10 GHzの範囲で対数表示されている。その例示上の性格から、両グラフともインピーダンスの数値は表示されていない。

【0038】従来技術のグラフ図7aは、約2 GHzの周波数におけるループ17(図4)の、好ましい主要な並列共振(高いインピーダンス値)のほかに、本質的にループ18(図4)によって引き起こされる約6 GHzの周波数における好ましくない二次的な並列共振も示し

ている。例えば、発振器回路の場合、このことは約6GHzの周波数におけるスプリアスの出力信号をもたらすことになろう。当業者はそのような偽の出力共振信号に付随する問題点を理解されよう。

【0039】しかしながら、本発明に従えば、1ないし10GHzの周波数範囲にわたって、約2GHzの望ましい主要な周波数における単一の共振作用のみが発生し、このことは、本発明の回路に対して、従来技術の回路よりも優れた非常に重要な利点を提供することになる。

【0040】図8は本発明に従う集積回路装置22の模式的図であり、そのパッケージ2は図示の便宜上、部分的に切欠いて示してある。模式的に示されたように、本発明に従って、個別コンデンサ23がチップ3上に配置され、周波数応答回路5のオンチップ部分のオンチップコンタクト端子12と13との間に電気的に接続されている。この回路5は、ボンディングワイヤ8を介してそれぞれオフチップコンタクト端子14および15へつながれている。

【0041】あるいは個別コンデンサ23の代わりに、チップ3と一緒に集積された、すなわちチップの半導体基板を使用して形成されたコンデンサを用いることもできる。

【0042】図9は、本発明に従う、オフチップ平衡共振器回路24につながれたオンチップ共振器回路25の模式的回路図を示している。一点鎖線11はオンチップ部とオフチップ部との間のインターフェースを示す。能動的発振部分は2個のバイポーラトランジスタ26、27を含んでいる。トランジスタ26はそのベース端子をコンデンサ28を介してトランジスタ27のコレクター端子へつながれている。トランジスタ27のベース端子はコンデンサ29を介してトランジスタ26のコレクター端子へつながれている。トランジスタ26および27のエミッター端子の各々は直列抵抗30を介して定電流源31の一端へつながれ、定電流源の他端は回路の信号アースへつながっている。本質的に、能動的発振部分は正の帰還を備えた平衡相互アドミッタンス増幅器を構成し、その相互アドミッタンス段のコレクター端子間に受動的平衡並列共振器回路がつけられた形になっている。

【0043】本発明に従って、コンデンサ32がトランジスタ26および27のコレクター端子間へオンチップ接続され、それらがインダクタンス33および34を介して回路の電源端子V<sub>dd</sub>へつながれている。それぞれV<sub>dd</sub>と信号アースとの間にコンデンサ35および36がつけられることによって、図示のように、この共振器回路が完成する。インダクタンス33および34と、コンデンサ35および36とは、両方とも可変型のものでよく、その場合、同調可能な平衡発振器回路が提供される。

【0044】起動時に、相互アドミッタンス増幅器はその線形な領域で動作し、コレクター端子間に過度に負の抵抗を提供し、信号強度を増大させる。しかし、共振器回路24を流れる電流は定電流源31によって制限される。定常的な発振の間には、そこでの出力信号の周波数は本発明に従って定義されたものに保証され、ループ利得は1に等しく、相互アドミッタンス段で導入された負性抵抗は共振器回路の並列抵抗の符号を変えたものに等しい。

【0045】1つの実施例では、125Ωの値を有するエミッター抵抗30と、それぞれ1pFの値を有する正の帰還コンデンサ28および29が使用された。電流源31は、一定の電流源（図示されていない）を提供するように既知のやり方で接続された3個のNPNトランジスタによって構成された。共振器回路24のコンデンサ35および36は、いわゆるバリキャップ、すなわちジーメンス（Siemens）製BBY51-03Wのような電圧制御型の可変コンデンサによって提供された。インダクタンス33および34はPCB中にエッチングで形成され、PCB上の共振器回路を同調させる自由度を提供する。このようなバリキャップを使用することによって、電圧制御型の発振器（VCO）回路が提供される。

【0046】当業者は、発振器回路25の能動的部分が、回路の電力的な観点からの明かな修正を伴いさえすれば、PNPバイポーラトランジスタ、MOSトランジスタ等によっても実現可能であることを理解されよう。

【0047】オフチップ共振器部分が半導体集積されたコンデンサやコンデンサ作用を示すその他のデバイス、受動的または電子的のいずれかによって生成されるストリップ線状の伝達デバイスやその他のインダクターの他に、個別の従来型の受動的コンデンサおよびインダクタンスコイルを含むことができることを理解されたい。更に、オフチップ共振器回路のコンデンサおよびインダクターのいくつかは、それ自身、コンデンサおよびインダクターの回路網に含まれることができるが、本発明に従う単一共振ループの概念を保持するものでなければならない。

【0048】更に、いくつかの共振周波数を含むように配置された外部共振器回路を、本発明に従うオンチップ周波数応答装置へつなぐことによって、既に述べ特許請求された本発明の単一共振ループの概念が共振器回路の個々の共振ループの各々に対して適用されることを理解されたい。

【0049】図10は、本発明に従う平衡発振器回路をトランシーバ半導体装置37に適用した典型的な応用例を示す。装置37はいわゆる特定用途集積回路（ASIC）であり、平衡受信器部38、平衡送信器部39、および平衡発振器回路40を含む。

【0050】受信器部38は、信号入力端子44、45と信号出力端子46、47を有する平衡低雑音入力増幅器43を含み、それらの信号出力端子は、2つのミキサー48と49とを含む直角回路網の入力へつながり、前記ミキサーの出力はそれぞれ平衡位相シフター50、51へつながっている。位相シフター50、51の出力は加算回路52へ送られ、回路37の出力端子53において、受信された出力信号を提供するようになっている。

【0051】送信器部39は、出力端子55および56と、平衡形加算回路59の出力へつながる入力端子57および58とを有する平衡形出力増幅器54を含んでいる。送信器部39は更に、平衡位相シフター60を含む直角回路網を含み、位相シフターの入力に中間周波数(IF)VCO回路61へつながり、VCO回路61は送信すべき変調器出力信号を受信するための入力端子62、63を有している。位相シフター60の出力はそれぞれ平衡形ミキサー64および65の入力へつながっている。これらのミキサーの出力信号は加算回路59の入力へ送られる。

【0052】トランシーバ装置37はよく知られたヘテロダイン原理に従って動作し、局部発振器(LO)信号を要求する。LO信号は発振器回路40によって供給される。コンデンサ66によって模式的に示されたように、本発明に従って、オフチップ共振器回路のコンデンサ部分の、発振器回路40のコンタクト端子41、42へつながるべき部分は既に装置37の半導体基板上に位置している。

【0053】発振器回路40は、その出力によって平衡位相シフター67へつながれ、その出力は図示のように、ミキサー48、49と64、65のそれぞれの入力へつながれている。

【0054】1つの実施例において、装置37は、デジタル拡張コードレス電気通信(DECT: Digital Enhanced Cordless Telecommunication)標準に従って動作する無線電話送受器のような、遠隔無線通信端末および/または無線基地局とともに使用されるトランシーバとして設計された。発振器40は、1.8GHzの中心周波数においてVCOとして機能する。

【図面の簡単な説明】

【図1】説明の便宜上、パッケージを部分的に切り欠いて示した、典型的な従来技術による大規模集積回路の模式的平面図。

【図2】集積化あるいはオンチップの平衡周波数応答回路と、外部あるいはオフチップの共振器回路との典型的な従来技術による接続の回路図。

【図3】図2に示された回路の集中素子等価電気回路図。

【図4】図3に示された回路図で識別できるいくつかの共振ループ。

【図5】集積化あるいはオンチップの平衡周波数応答回路と、外部またはオフチップの共振器回路との本発明に従う回路図。

【図6】図5に示された本発明に従う回路の集中素子等価電気回路図。

【図7】aおよびbは、それぞれ図2および図5に従う回路のオンチップボンディングパッドにおいて測定されたインピーダンスの周波数特性を示すグラフ。

【図8】図示の便宜上、パッケージの一部を切り欠いて示した、本発明に従う集積回路装置の模式的平面図。

【図9】本発明に従う発振器回路の電気回路図。

【図10】本発明に従う発振器回路を含む半導体集積トランシーバ装置のブロック図。

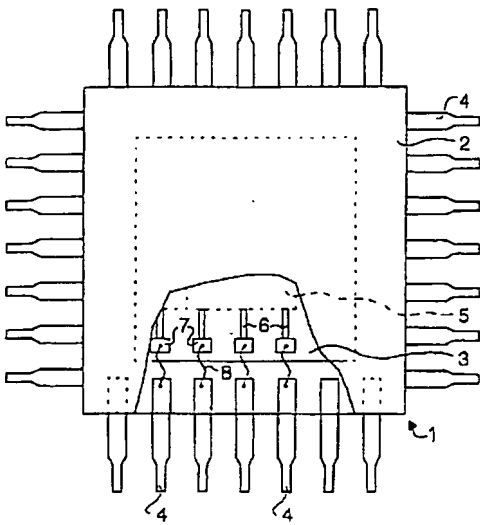
【符号の説明】

- 1 集積装置
- 2 パッケージ
- 3 半導体チップ
- 4 コンタクト端子
- 5 周波数応答回路
- 7 ボンディングパッド
- 8 ボンディングワイヤ
- 9 平衡周波数応答回路
- 10 平衡共振器回路
- 11 インターフェース
- 12, 13 オンチップコンタクト端子
- 14, 15 オフチップコンタクト端子
- 17, 18, 19 共振ループ
- 20 平衡共振器回路
- 21 共振ループ
- 22 集積回路装置
- 23 個別コンデンサ
- 24 オフチップ平衡共振器回路
- 25 オンチップ平衡発振器回路
- 26, 27 バイポーラーNPNトランジスタ
- 28, 29 コンデンサ
- 30 抵抗
- 31 定電流源
- 32 コンデンサ
- 33, 34 インダクタンス
- 35, 36 コンデンサ
- 37 トランシーバ装置
- 38 平衡受信器部
- 39 平衡送信器部
- 40 平衡発振器回路
- 41, 12 コンタクト端子
- 43 平衡低雑音増幅器
- 44, 45 信号入力端子
- 46, 47 信号出力端子
- 48, 49 ミキサー
- 50, 51 平衡位相シフター

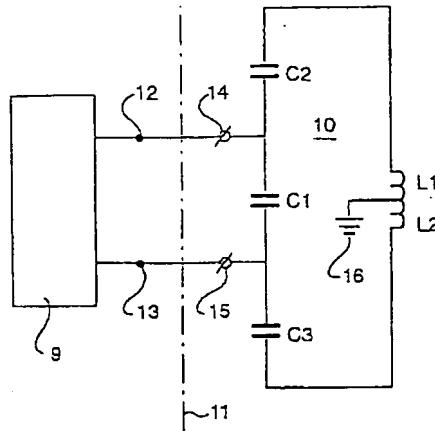
52 加算回路  
 53 出力端子  
 54 平衡形出力増幅器  
 55, 56 出力端子  
 57, 58 入力端子

59 平衡形加算回路  
 60 平衡位相シフター  
 61 VCO回路  
 62, 63 入力端子  
 64, 65 平衡形ミキサー

【図1】

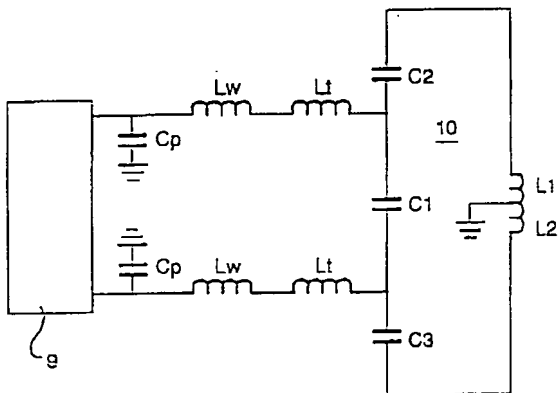


【図2】

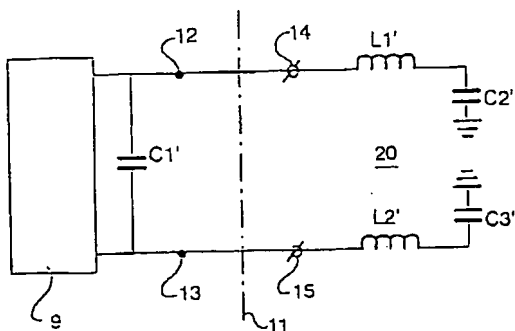


【図4】

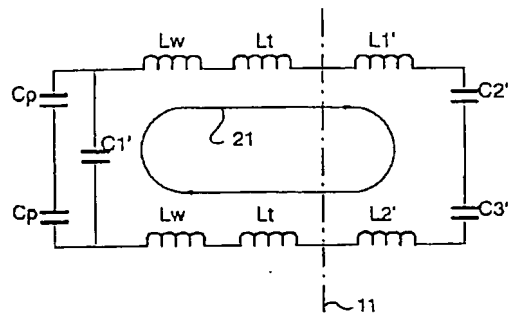
【図3】



【図5】

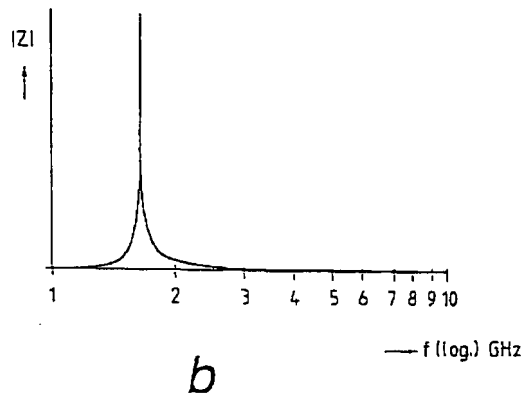
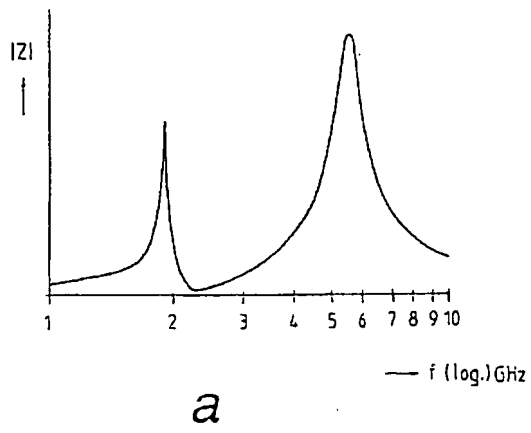


【図6】

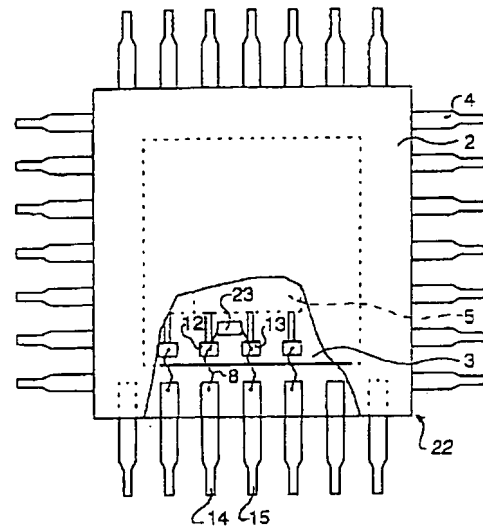




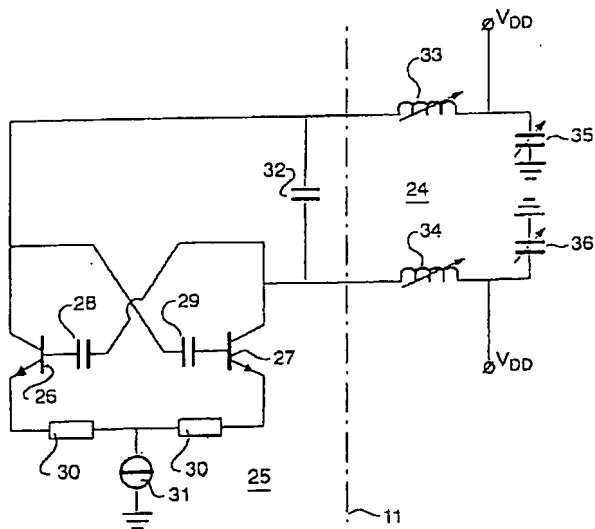
【図7】



【図8】



【図9】



【図10】

